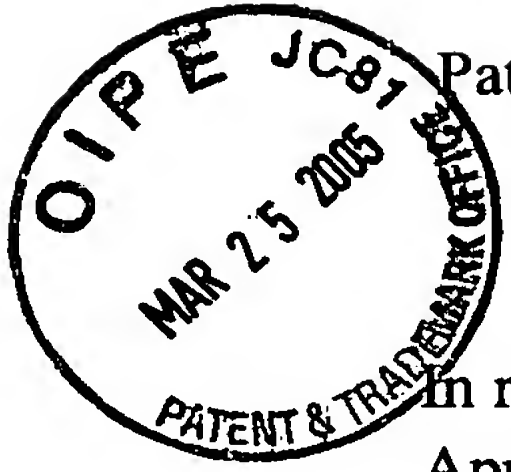


JFW



Patent

Customer No. 31561
Application No.: 10/709,923
Docket No. 10788-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Huang et al.
Application No. : 10/709,923
Filed : Jun 07, 2004
For : FLIP-CHIP PACKAGE SUBSTRATE AND FLIP-CHIP
BONDING PROCESS THEREOF
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92116778,
filed on: 2003/6/20.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: March 24, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 06 月 20 日
Application Date

申請案號：092116778
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 8 月
Issue Date

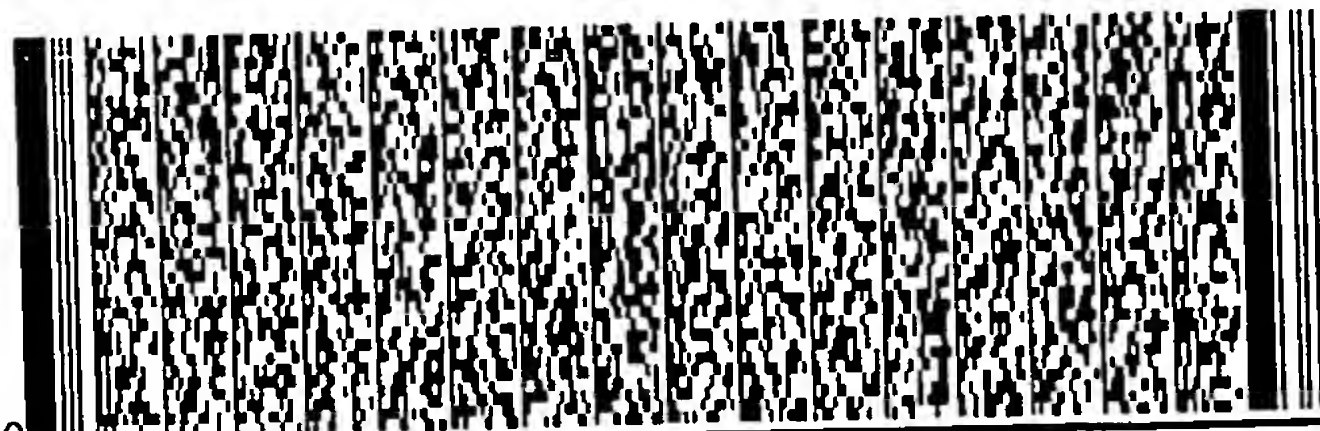
發文字號：09320728200
Serial No.

申請日期：	IPC分類
申請案號：92116778	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	覆晶封裝基板及其覆晶接合製程
	英 文	Flip-Chip Package Substrate And Flip-Chip Bonding Process Thereof
二、 發明人 (共4人)	姓 名 (中文)	1. 黃敏龍
	姓 名 (英文)	1. Min-Lung Huang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區鼎勇街33巷2弄8號10樓
	住居所 (英 文)	1. 10F, No. 8, Alley 2, Lane 33, Ting-yung St., San-min Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang

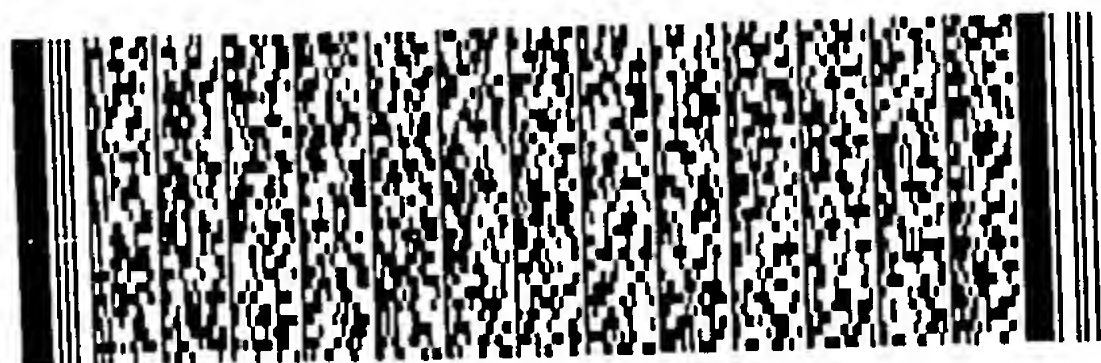


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	2. 蔡騏隆 3. 翁肇甫
	姓 名 (英文)	2. Chi-Long Tsai 3. Chao-Fu Weng
	國 籍 (中英文)	2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	2. 高雄市左營區榮德街3號16樓之5 3. 台南市南區光明里18鄰新建路19巷19號之3
	住居所 (英 文)	2. 16F.-5, No. 3, Rongde St., Zuoying District, Kaohsiung City, 813, Taiwan (R.O.C.) 3. No. 19-3, Lane 19, Hsinchien Rd., Tainan, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 蘇清輝
	姓 名 (英 文)	4. Ching-Huei Su
	國 籍 (中 英 文)	4. 中 華 民 國 TW
	住 居 所 (中 文)	4. 高雄市鹽埕區大仁路252號1樓
	住 居 所 (英 文)	4. 1F, No. 252, Ta-jen Rd., Yen-cheng Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：覆晶封裝基板及其覆晶接合製程)

一種覆晶封裝基板，主要包括多個圖案化線路層，相互疊合，且最外層之圖案化線路層具有多個第一接點以及對應之多個第二接點。此外，多個介電層配置於任二相鄰之圖案化線路層之間。另外，多個凸塊配置於最外層之圖案化線路層上，且對應連接第一接點之一，其中凸塊例如裝以低成本之植球設備或印刷設備所形成，以降低晶片封裝之生產成本，而凸塊可提供晶片以覆晶接合的方式與基板之電性連接，以構成一覆晶封裝結構，進而提高晶片封裝之生產效能。

伍、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：

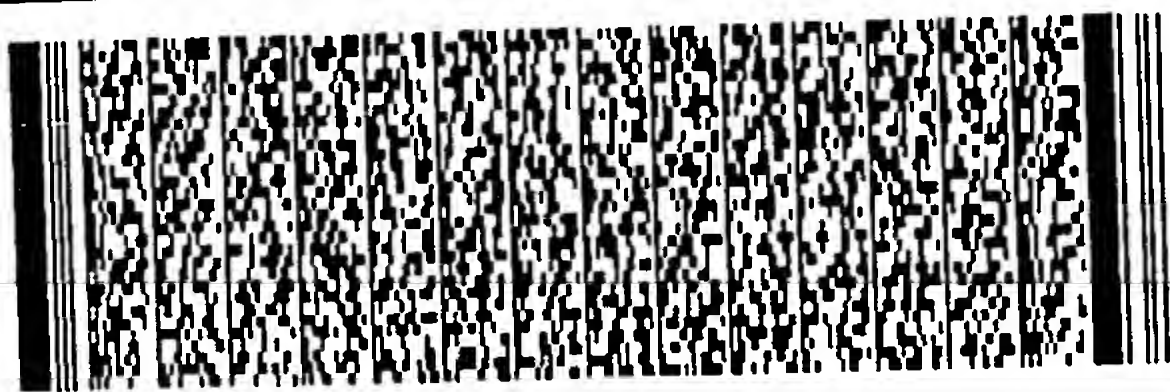
200：基板

202：第一面

204：第二面

六、英文發明摘要 (發明名稱：Flip-Chip Package Substrate And Flip-Chip Bonding Process Thereof)

A flip-chip package substrate includes a plurality of patterned circuit layers stacked each other and the outside layer of which has a plurality of first contacts and a plurality of corresponding second contacts. In addition, a plurality of dielectric layers are positioned between the two neighboring patterned circuit layers. Moreover, a plurality of bumps are



四、中文發明摘要 (發明名稱：覆晶封裝基板及其覆晶接合製程)

206 : 圖案化線路層

208 : 介電層

208a : 導通孔

208b : 導電孔

210 : 第一接點

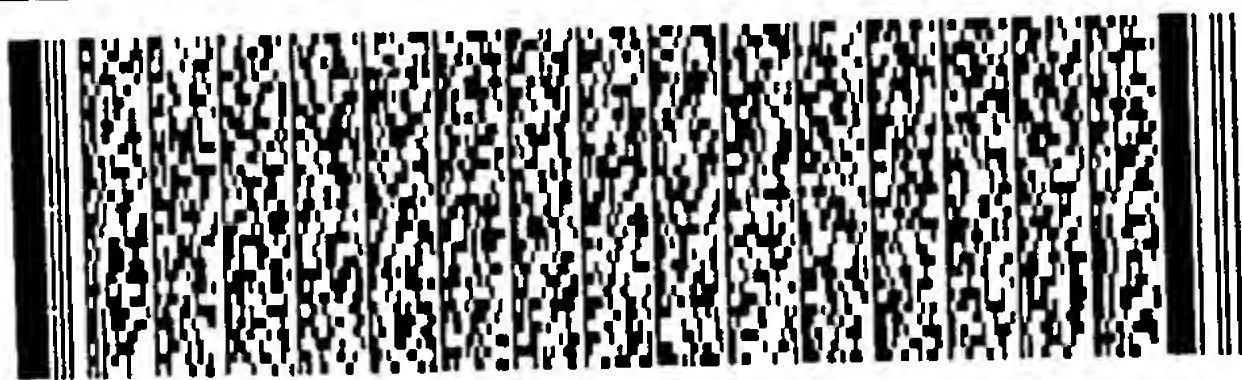
212 : 第二接點

214、216 : 鍍罩層

226 : 凸塊

六、英文發明摘要 (發明名稱：Flip-Chip Package Substrate And Flip-Chip Bonding Process Thereof)

positioned on the outside layer of the patterned circuit layers and connected to a corresponding first contact. The bump is formed by a low-cost planting apparatus to reduce the cost of chip package product, and the bump is provided to connect with a chip by flip-chip bonding so that the yield of the chip package will be improved.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

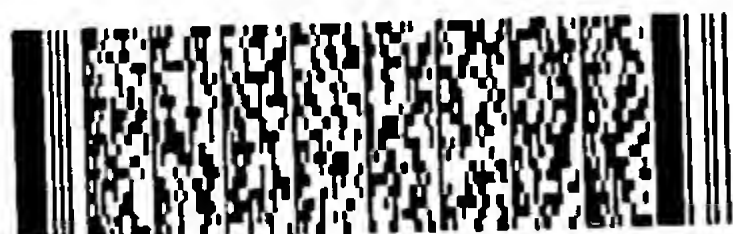
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

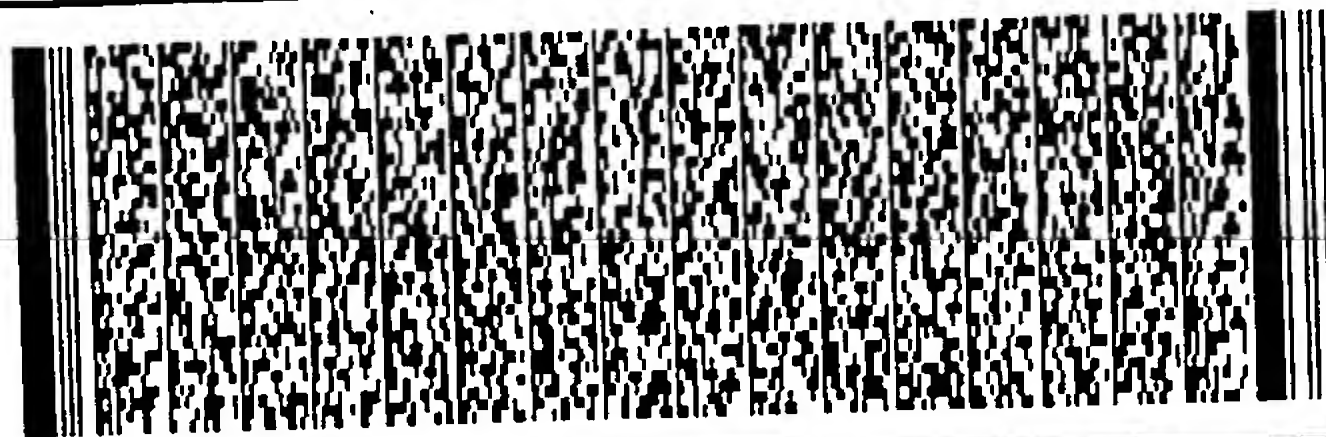
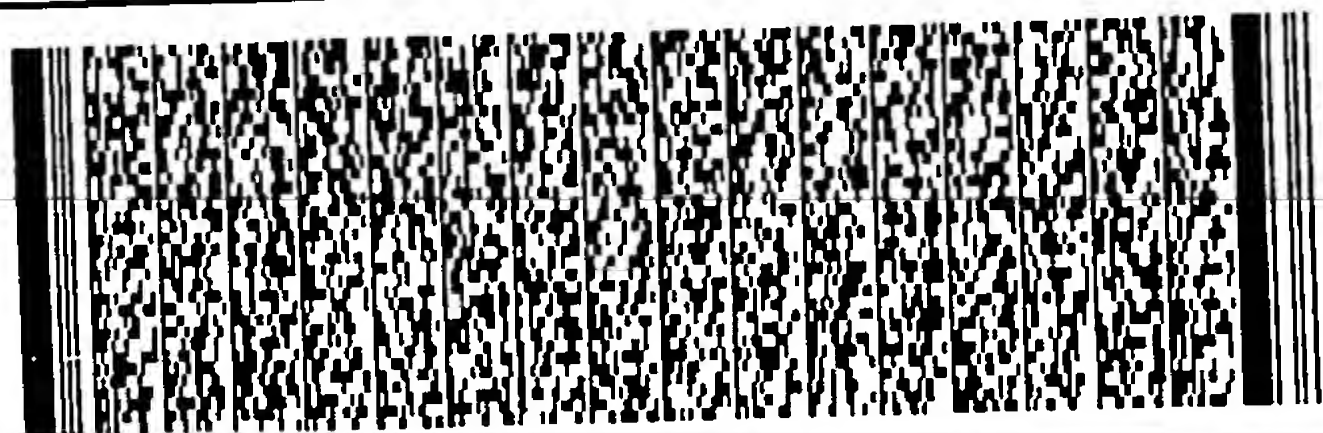
【發明所屬之技術領域】

本發明是有關於一種封裝基板，且特別是有關於一種運用於覆晶接合之封裝基板。

【先前技術】

近年來，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。目前在半導體製程當中，基板型載板(substrate type carrier)是經常使用的構裝元件之一，其主要分為堆疊壓合式(laminated)及積層式(build-up)二大類型之基板。其中，基板(substrate)主要由多個圖案化線路層及多個絕緣層交替疊合所構成，且基板之表面具有多個接點，作為連接晶片或外部電路之輸出入媒介。由於基板具有佈線細密、組裝緊湊以及性能良好等優點，已成為覆晶封裝(Flip Chip Package)結構中不可或缺的構裝元件之一。

此外，覆晶接合技術(Flip Chip Interconnect Technology)乃是將每一顆由晶圓(wafer)切割所形成的裸晶片(die)，經由覆晶(flip chip)接合的步驟，將裸晶片配置於上述的基板上，而裸晶片上所形成之鐳墊(bonding pad)可先進行凸塊(bump)製程，使得裸晶片之鐳墊與基板之接點(contact)藉由凸塊而彼此電性連接，之後再進行底填(underfill)製程，以一底膠材料填入於裸晶片以及基板之間，用以保護凸塊所裸露出之部分，並同時緩衝基板與晶片之間在受熱時，因兩者之熱膨脹係數(CTE)不匹

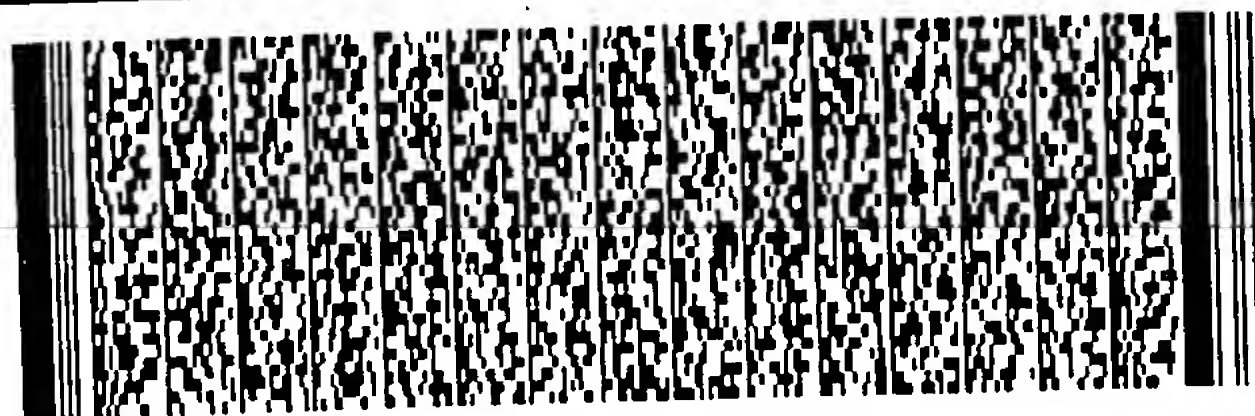
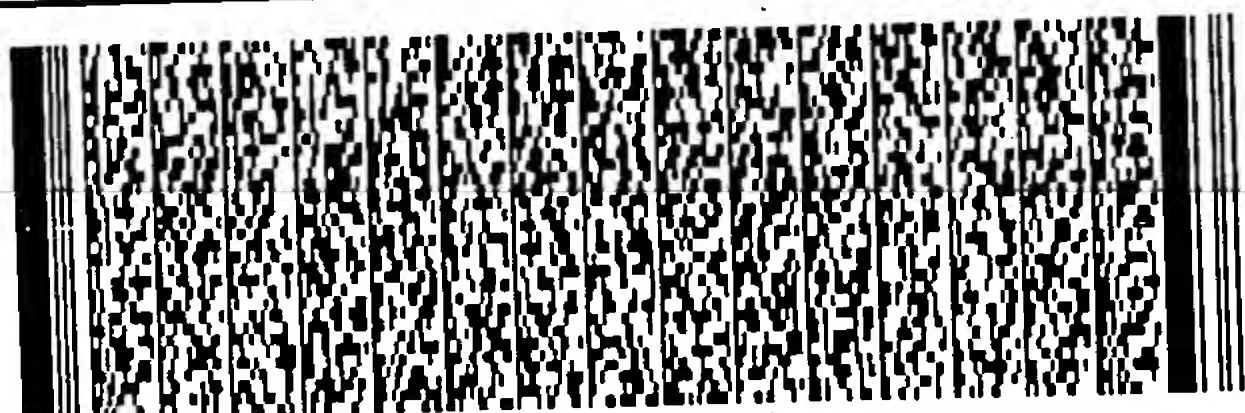


五、發明說明 (2)

配所產生的熱應力的現象。

第1~3圖依序繪示習知一種覆晶封裝製程的流程示意圖。請先參考第1圖，先提供一基板100，此基板100例如為一堆疊壓合基板或一積層板，而基板100之表面具有多個第一接點110以及多個第二接點112，第一接點110係位於基板100之第一面102，而第二接點112係位於基板100之第二面104，且第一接點110、第二接點112係由基板100最外層之圖案化線路層106所形成，且任二相鄰之圖案化線路層106之間配置一介電層108。其中，圖案化線路層106係可藉由貫穿於介電層108之導通孔(Plated Through-Hole, PTH)108a或導電孔(via)108b而彼此電性連接。此外，於基板100之第一、第二面102、104例如以貼合或塗佈的方式分別形成一錫罩層(solder mask)114、116，並使第一接點110、第二接點112可暴露於錫罩層114、116之中。

如第2圖所示，將晶圓切割所形成之一晶片120，以覆晶接合的方式配置於基板100上，其中晶片120具有多個錫墊122以及連接於錫墊122表面之多個凸塊126，使得晶片120可藉由凸塊126分別接觸其所對應之基板100的第一接點110。此外，習知在形成凸塊126於錫墊122之前，會先以蒸鍍(evaporation)或濺鍍(sputtering)形成一球底金屬層(Under Bump Metallurgy, UBM)124，以作為連接凸塊126與錫墊122之間的介面。然而，球底金屬層124的製程非常複雜，其係由多層金屬材料依序形成，包括由鈦、



五、發明說明 (3)

鎢、鎳、金、銅等及該等之合金所組成之黏著層

(adhesion layer)、阻絕層(barrier layer)以及沾錫層(wetting layer)，以防止錫鉛凸塊126與晶片120的鐳墊122接合性不佳而脫離。最後，請參考第3圖，迴鐳凸塊126，並且選擇性地以一底膠(未繪示)填入於晶片120與基板100之間，以構成一覆晶封裝結構。

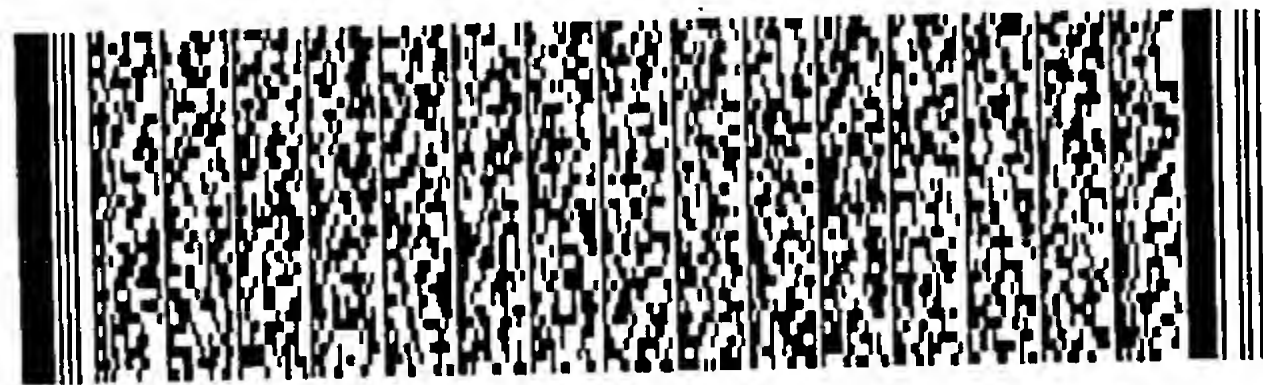
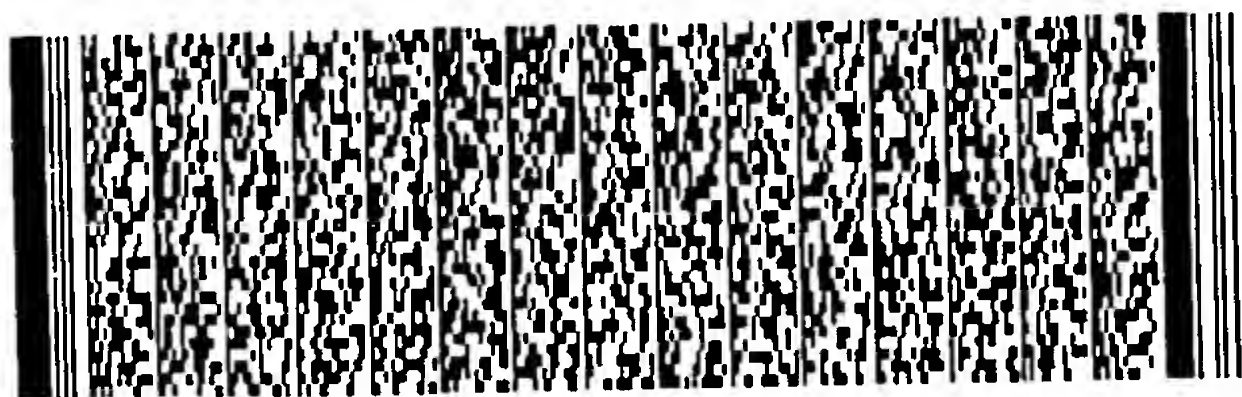
值得注意的是，習知覆晶封裝製程之晶片，必須先完成球底金屬層的步驟，再形成凸塊於晶片之鐳墊上。然而，上述之製程均必須使用昂貴的製程設備才能製作完成，間接地提高晶片的生產成本，且晶片的生產效率也隨著球底金屬層的冗長製程而明顯降低，進而影響晶片封裝的產量。再者，習知覆晶技術，係經過多次迴鐳過程，以形成凸塊於晶片上，且再經過至少一次迴鐳過程與基板接合。於多次迴鐳過程中，會使凸塊接點之可靠度降低，而影響封裝結構之品質。

【發明內容】

因此，本發明的目的就是在提供一種覆晶封裝基板，適用於一覆晶封裝結構中，用以簡化球底金屬層之製程，並降低晶片封裝的生產成本。

本發明的另一目的是提供一種覆晶封裝製程，其中晶片藉由配置在基板上之凸塊而完成覆晶封裝製程，以提高晶片封裝的生產效能。

為達本發明之上述目的，本發明提出一種覆晶封裝基板，包括多個圖案化線路層，相互疊合，且最外層之圖案

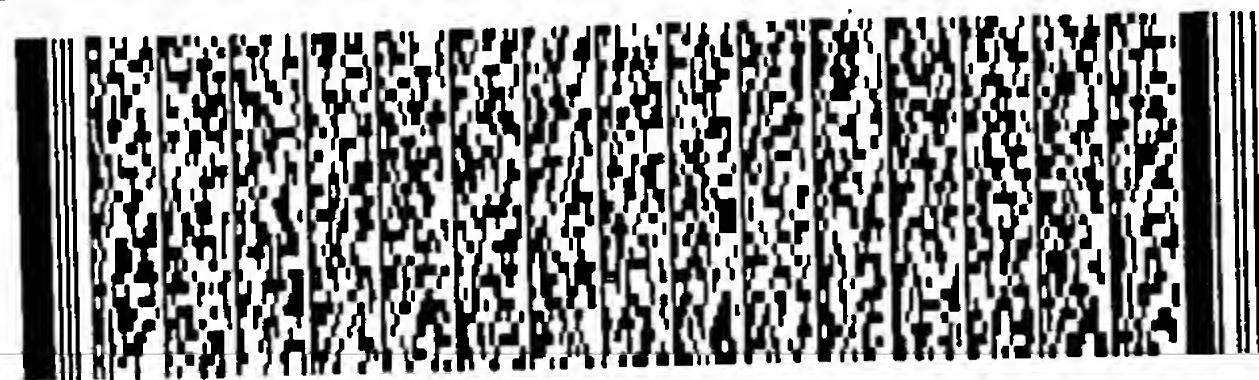
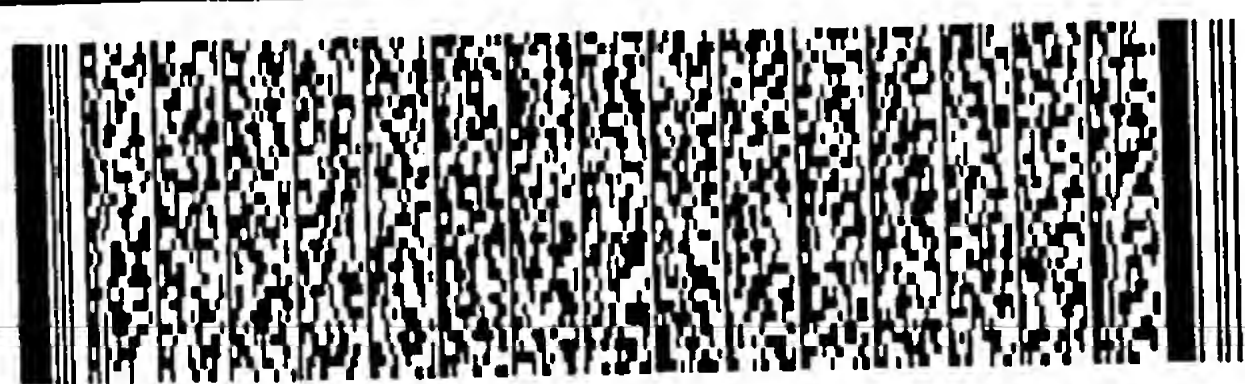


五、發明說明 (4)

此另連覆。製第位凸提，凸
。應以構合一點個，一方觸
點間對片結接有接多外之的接
接之且晶裝晶具一置此塊合應
二層，供封覆板第配。凸接對
第路上提晶種基個著一些晶墊
個線層可覆一此多接之這覆鐸
多化路塊一出，有；點於以使
之案線凸成提板具面接應著並
應圖化之構明基還二一對接，
對之案板以發一板第第，；上
及鄰圖基，本供基於接墊層面
以相之裝接，提且位連鐸屬一
點二層封連的，點應個金第
接任外晶性目先面接對多一之
一於最覆電述首二二且有有板
第置於此板上：第第，具具基。
個配置。基之驟一個面片面於塊
多層配一與明步之多一晶表置凸
有電塊之式發列應及第此之配鐸
具介凸點方本下對以之，墊片迴
層個個接的達括及面板片鐸晶後
路多合一為包以一基晶一將最
線，第接，面第於一每，
化外外接晶程一於塊供且式塊

配點晶任於包括接於於膠包二層覆底更第料包一程接鐸係入製連一層填之應成料括述對形鐸包上，且括，更，，包後，述面更之後所二，合之例第前接合實施之之晶接實板合覆晶佳基接而覆較於晶，於的腳覆上，明針於面外間發或，表另之依照本球外的。板依個。鐸此墊上基多一之凸片置之片一晶

晶片與基板被之同採用上述之覆晶，封裝基板上，以簡化晶片之球。至作
底金本發明因採用上凸塊製程之凸塊及墊之製由不須配置於昂貴板高之的，晶凸製程而設電備性即連可接製



五、發明說明 (5)

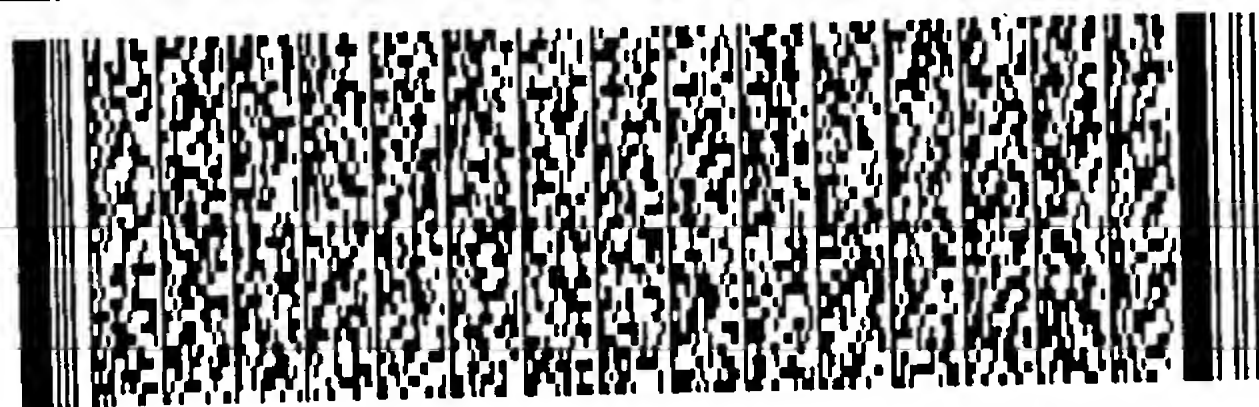
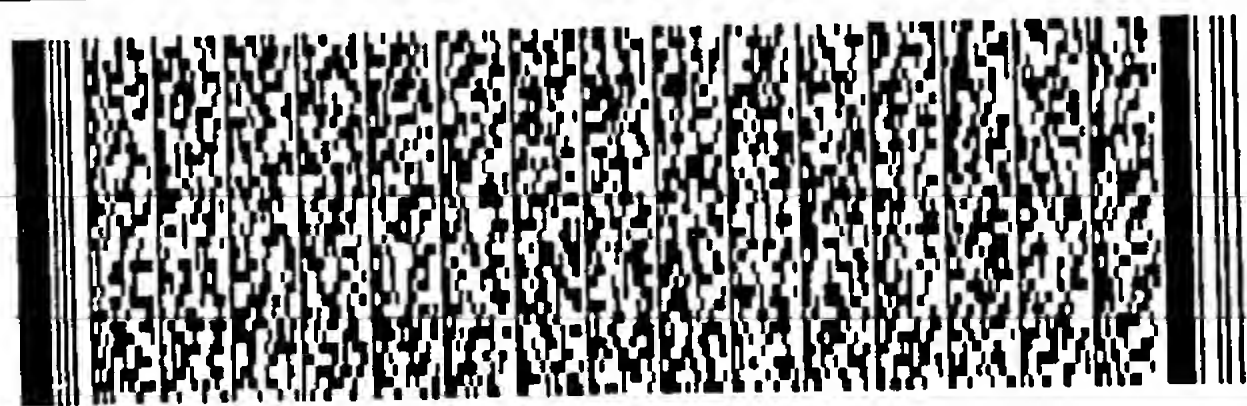
完成，進而降低晶片封裝的生產成本。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第4~6圖，其依序繪示本發明一較佳實施例之一種覆晶封裝製程的流程示意圖。請先參考第4圖，先提供一基板200，此基板200例如為一堆疊壓合基板或一積層板，而基板200之表面具有多個第一接點210以及多個第二接點212，第一接點210係位於基板200之第一面202，而第二接點212係位於基板200之第二面204，且第一接點210、第二接點212係由基板200最外層之圖案化線路層206所形成，且兩者電性連接。此外，介電層208配置於任二相鄰之圖案化線路層206之間。其中，圖案化線路層206係可藉由貫穿於介電層208之導通孔208a或導電孔208b而彼此電性連接。此外，於基板200之第一、第二面202、204例如以貼合或塗佈的方式分別形成一鍍罩層214、216，並使第一接點210、第二接點212可暴露於鍍罩層214、216之中。

值得注意的是，於覆晶接合之前，配置多個凸塊226於基板200之第一面202，且對應連接第一接點210之一。在本實施例中，凸塊226例如為錫鉛凸塊或其他高熔點的凸塊，而凸塊226形成之方式例如將球體狀之錫球植入(planting)於每一第一接點210上，且於植入錫球之前還可塗上一助鍍劑(flux)(未繪示)於第一接點210之表面，

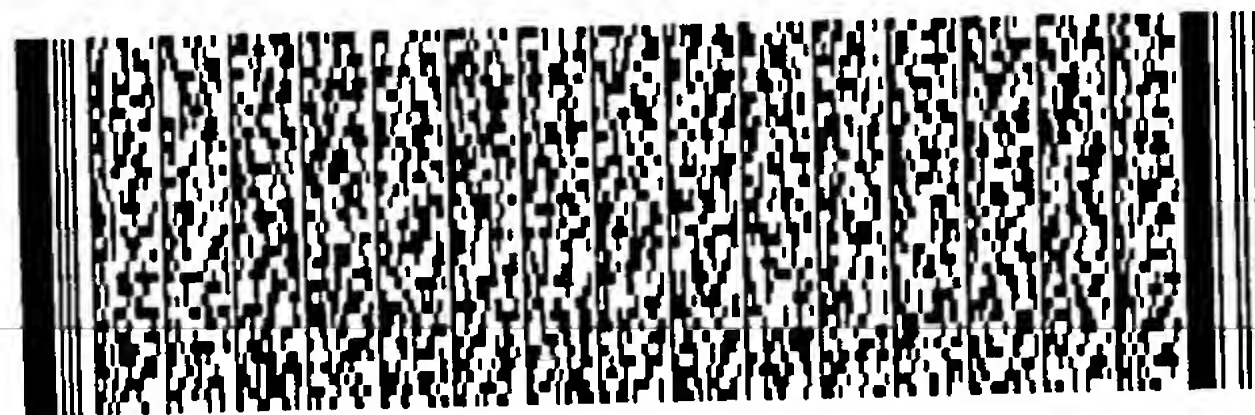
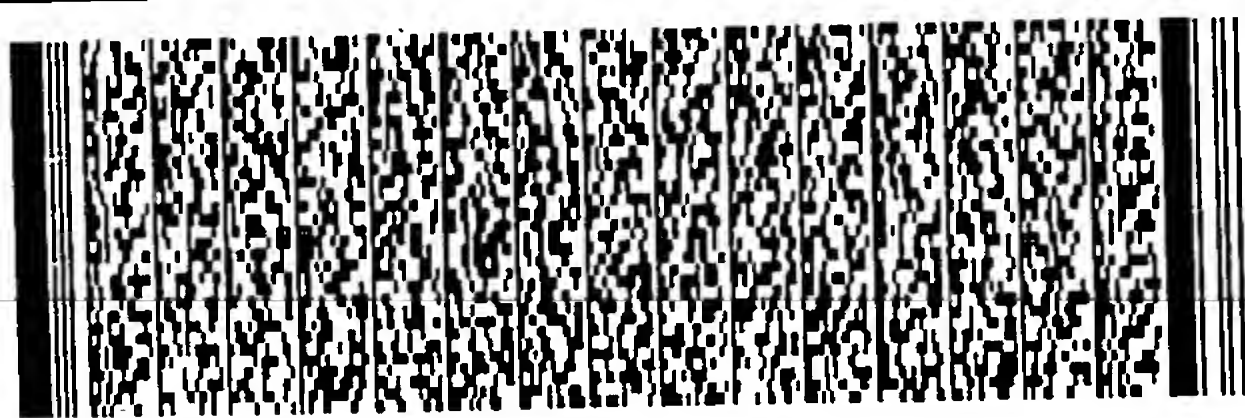


五、發明說明 (6)

而助錫劑除了可暫時固定凸塊226於基板200之第一接點210上之外，更可於高溫迴錫時使得凸塊226表面的氧化物活化，以形成良好的接合效果。當然，凸塊226亦可以一低熔點之錫膏利用網版印刷(stencil printing)的方式形成於每一第一接點210的表面上，並經過高溫迴錫以形成一球體狀之凸塊。另外，該凸塊亦可利用電鍍方式直接於基板製造過程中形成，且凸塊不需先經迴錫步驟。

接著請參考第5圖，提供一晶片220，此晶片220具有多個錫墊222，對應於基板200之凸塊226，且錫墊222之表面例如以無電電鍍(electroless)的方式形成一金屬層224。此金屬層224例如為鎳金(Ni/Au)層或是選自於鎳、金、鈦、銅、鈮所組成之金屬層，由於鎳可作為錫墊222與凸塊226之間的阻絕層，而金、銅覆蓋於鎳之上，用以避免鎳與外界空氣之氧化作用，且金、銅可作為增加錫墊222與凸塊226接合性的沾錫層。此外，如第7圖所示，其繪是另一種覆晶接合之示意圖，於覆晶接合之前，先選擇性地形成一錫料層(adhesive layer)228於晶片220之錫墊222的表面上，而晶片220覆晶接合於基板200之後，經過迴錫，以使低熔點之錫料層228熔融並包覆於高熔點之凸塊226上。

接著請參考第6圖，以覆晶接合的方式，將晶片220配置於基板200之第一面202，而晶片220之錫墊222可藉由配置於基板200之凸塊226分別接觸其所對應之第一接點210。最後，迴錫凸塊226，以使凸塊226藉由其表面張力



五、發明說明 (7)

而定位於鐳墊222上，並使晶片220與基板200形成良好的電性連接。此外，於覆晶接合之後，可選擇性地以一底膠(未繪示)填入於晶片220與基板200之間，以構成一覆晶封裝結構。另外，基板200之第二面204更可配置多個鐳球或針腳(未繪示)，對應連接至第二接點212之一，以構成一球格陣列型(BGA)或針格陣列型(PGA)等型態之覆晶封裝結構。

由以上之說明可知，基板可使用低成本之植球設備或印刷設備，來配置覆晶接合之凸塊於基板之表面上，以降低晶片封裝之生產成本。此外，晶片之鐳墊可藉由配置於基板之凸塊而電性連接至基板上，以簡化習知晶片之球底金屬層製程以及凸塊製程，進而提高晶片之生產效能。

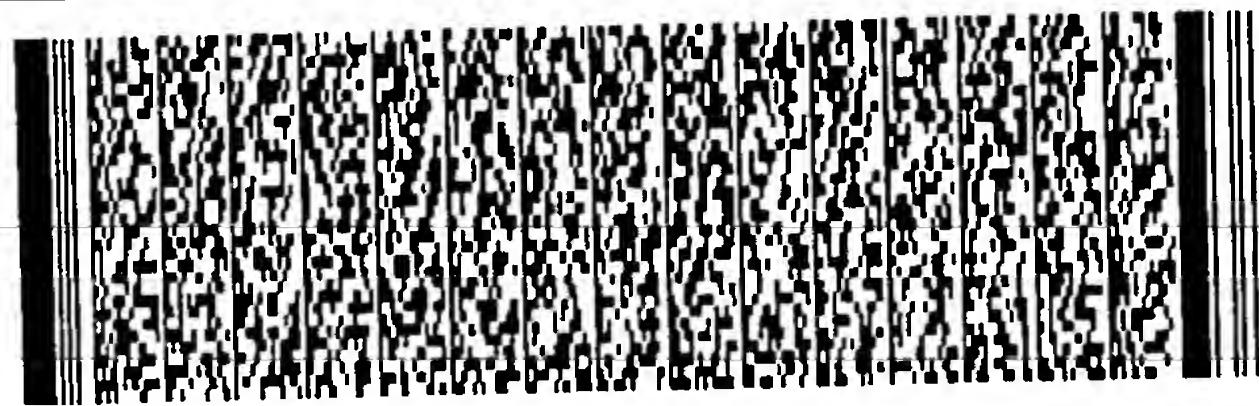
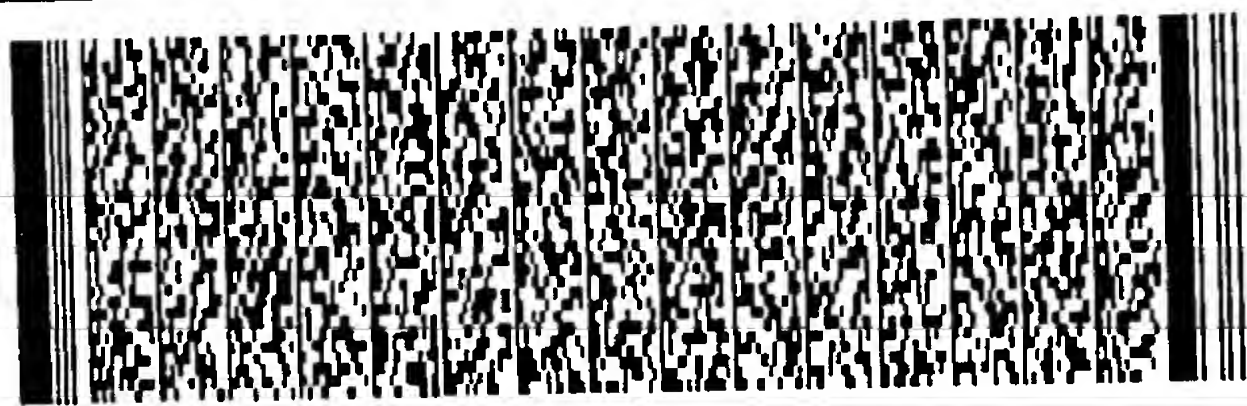
綜上所述，本發明之覆晶封裝基板及其覆晶封裝製程，具有下列優點：

(1) 對覆晶封裝基板而言，以植球或印刷所形成之凸塊可降低後續晶片封裝之生產成本。

(2) 對覆晶封裝製程而言，可簡化習知晶片之球底金屬層製程以及凸塊製程，進而提高晶片之生產效能。

(3) 利用電鍍技術直接於基板製作過程中形成凸塊，可去除多次迴鐳過程，藉以增加封裝體之可靠度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

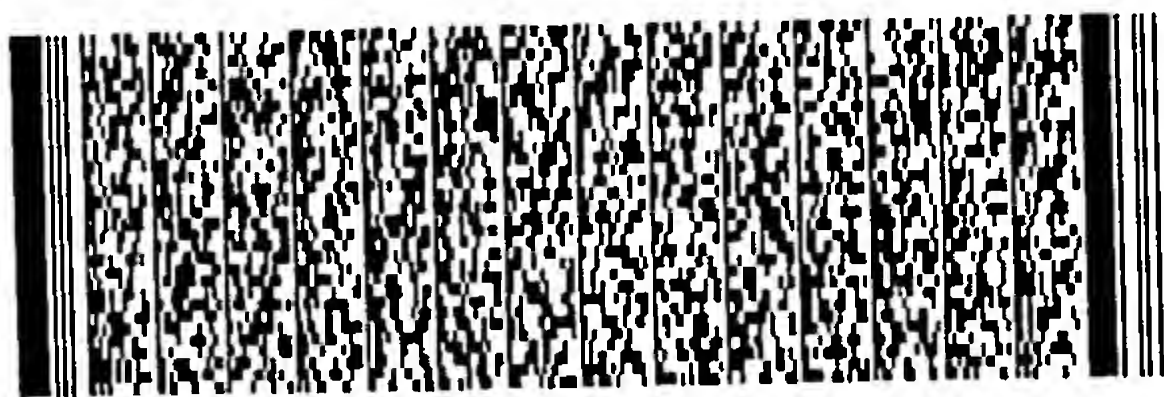
第1~3圖依序繪示習知一種覆晶封裝製程的流程示意圖。

第4~6圖依序繪示本發明一較佳實施例之一種覆晶封裝製程的流程示意圖。

第7圖繪是另一種覆晶接合之示意圖。

【圖式標示說明】

- 100、200：基板
- 102、202：第一面
- 104、204：第二面
- 106、206：圖案化線路層
- 108、208：介電層
- 108a、208a：導通孔
- 108b、208b：導電孔
- 110、210：第一接點
- 112、212：第二接點
- 114、116、214、216：鐳罩層
- 120、220：晶片
- 122、222：鐳墊
- 124：球底金屬層
- 126、226：凸塊
- 224：金屬層
- 228：鐳料層



六、申請專利範圍

1. 一種覆晶封裝基板，至少包括：

複數個圖案化線路層，相互疊合，且最外層之該些圖案化線路層具有複數個第一接點以及對應之複數個第二接點，且該些第一接點與該些第二接點電性連接；

複數個介電層，配置於任二相鄰之該些圖案化線路層之間；以及

複數個凸塊，配置於最外層之該些圖案化線路層上，且對應連接該些第一接點之一，該些凸塊適於連接至一晶片。

2. 如申請專利範圍第1項所述之覆晶封裝基板，更包括複數個鐸球，配置於最外層之該些圖案化線路層上，且對應連接該些第二接點之一。

3. 如申請專利範圍第1項所述之覆晶封裝基板，更包括複數個針腳，配置於最外層之該些圖案化線路層上，且對應連接該些第二接點之一。

4. 如申請專利範圍第1項所述之覆晶封裝基板，更包括一鐸罩層，配置於最外層之該些圖案化線路層上，且暴露該些第一接點以及該些第二接點。

5. 如申請專利範圍第1項所述之覆晶封裝基板，其中該些凸塊之材質包括錫鉛合金。

6. 如申請專利範圍第1項所述之覆晶封裝基板，其中該金屬層係選自於鎳、金、鈦、銅、鈮所組成之群族之一。

7. 一種覆晶接合製程，至少包括：



六、申請專利範圍

提供一基板，具有一第一面以及對應之一第二面，且該基板還具有複數個第一接點位於該第一面以及複數個第二接點位於該第二面，該些第一接點與該些第二接點電性連接；

配置複數個凸塊於該基板之該第一面，且分別連接該些第一接點之一；

提供一晶片，該晶片具有複數個鐳墊，對應於該些凸塊之一，且每一該些鐳墊之表面具有一金屬層；

以覆晶接合的方式，將該晶片配置於該基板之該第一面上，並使該些鐳墊對應接觸該些凸塊；以及

迴鐳該些凸塊。

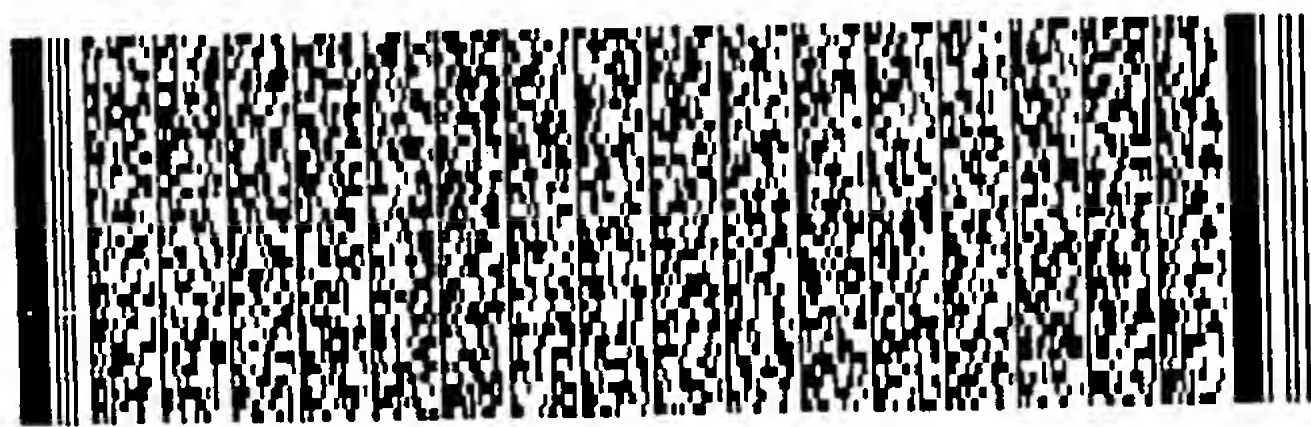
8. 如申請專利範圍第7項所述之覆晶接合製程，更包括配置複數個鐳球於該基板之該第二面，且對應連接該些第二接點之一。

9. 如申請專利範圍第7項所述之覆晶接合製程，更包括配置複數個針腳於該基板之該第二面，且對應連接該些第二接點之一。

10. 如申請專利範圍第7項所述之覆晶接合製程，其中配置該些凸塊之方式包括植入錫球，且於植入錫球之前還塗上一助鐳劑於該些第一接點之表面。

11. 如申請專利範圍第7項所述之覆晶接合製程，其中配置該些凸塊的方式包括將一錫膏印刷於該些第一接點之表面上，並迴焊該錫膏。

12. 如申請專利範圍第7項所述之覆晶接合製程，其中



六、申請專利範圍

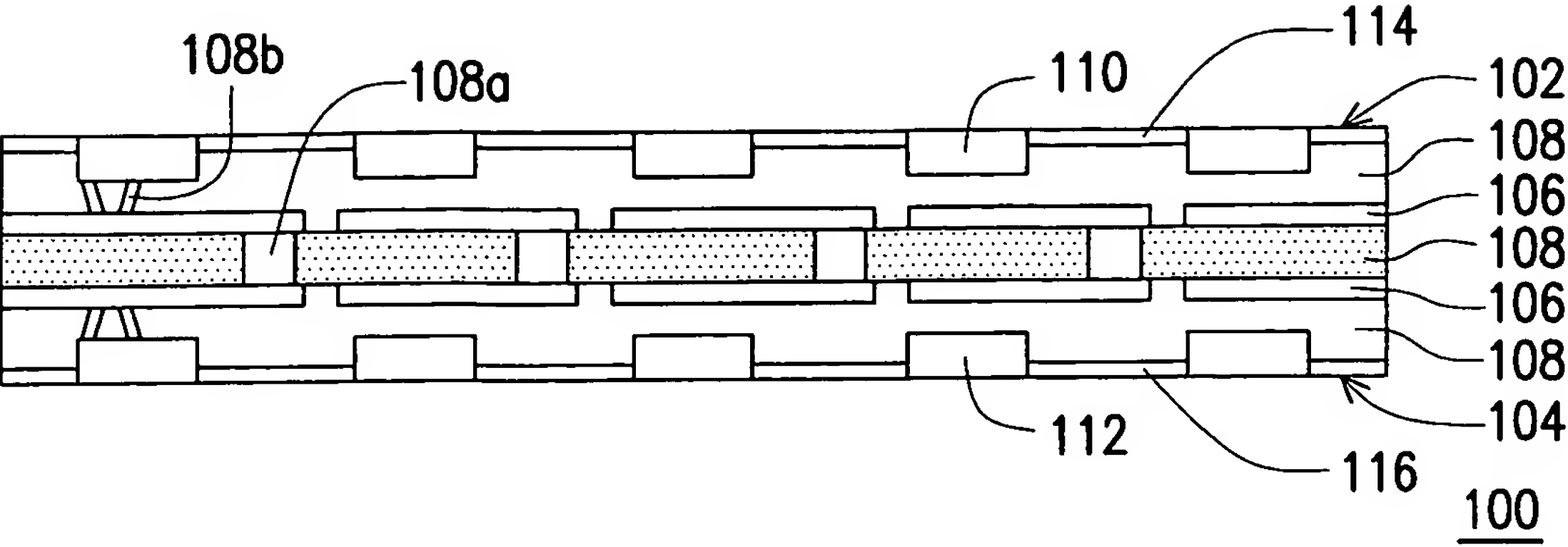
該些凸塊係以電鍍之方式形成於該些第一接點之表面上，並且該些凸塊形成於該基板上係不經迴鍍程序。

13. 如申請專利範圍第7項所述之覆晶接合製程，其中於覆晶接合之前，更包括形成一鍍料層於該晶片之該些鍍墊的表面上，而覆晶接合之後，該鍍料層係包覆於該些凸塊上。

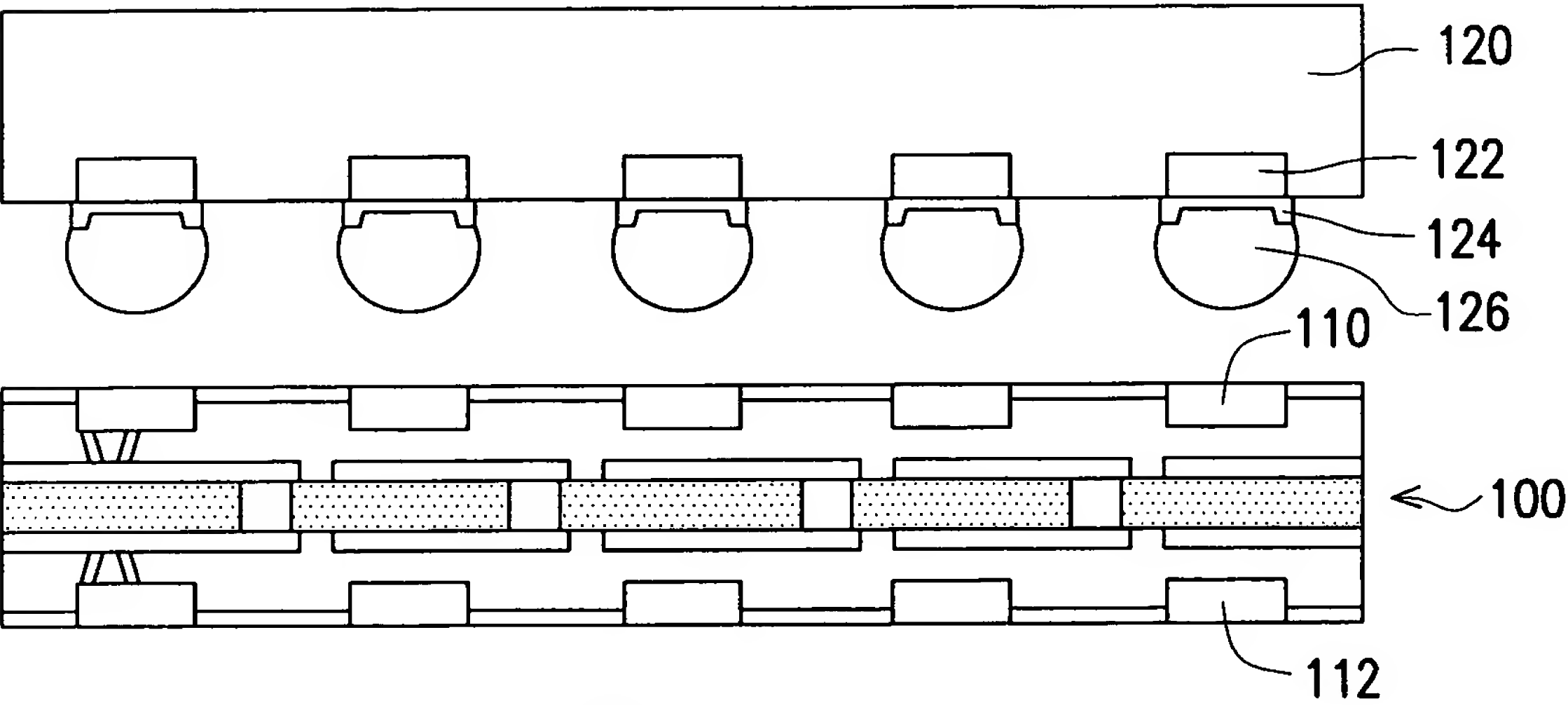
14. 如申請專利範圍第7項所述之覆晶接合製程，更包括填入一底膠於該晶片與該基板之間，且該底膠係包覆該些凸塊。

15. 如申請專利範圍第7項所述之覆晶接合製程，其中該金屬層係以無電電鍍一鍍金屬層所形成。

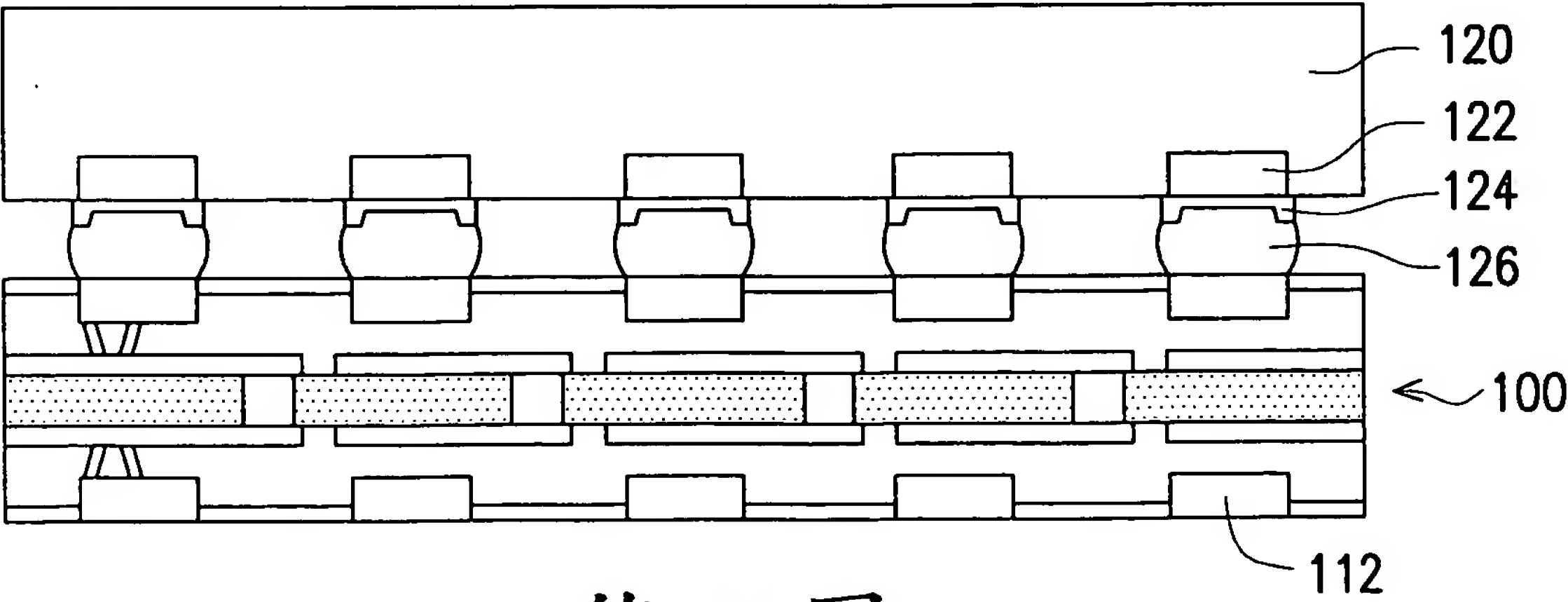




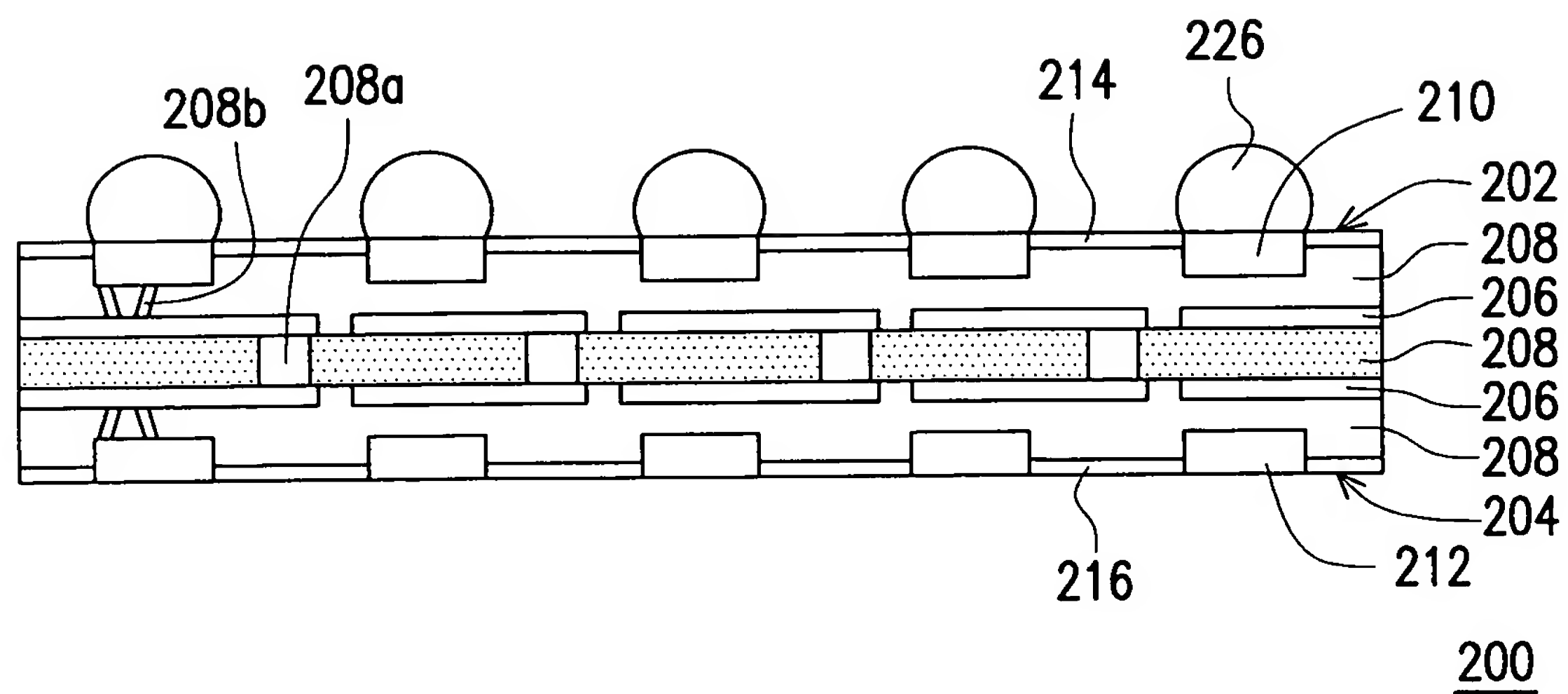
第 1 圖



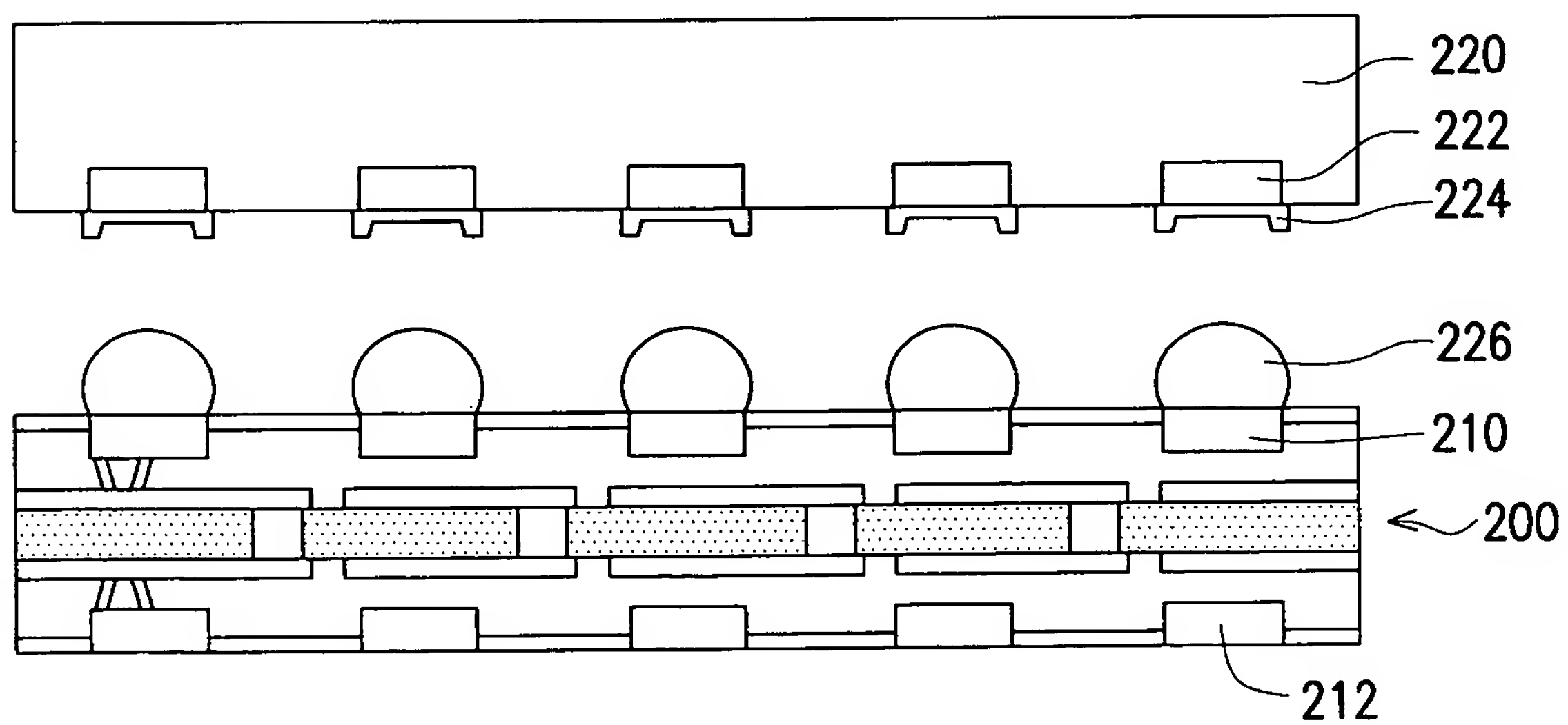
第 2 圖



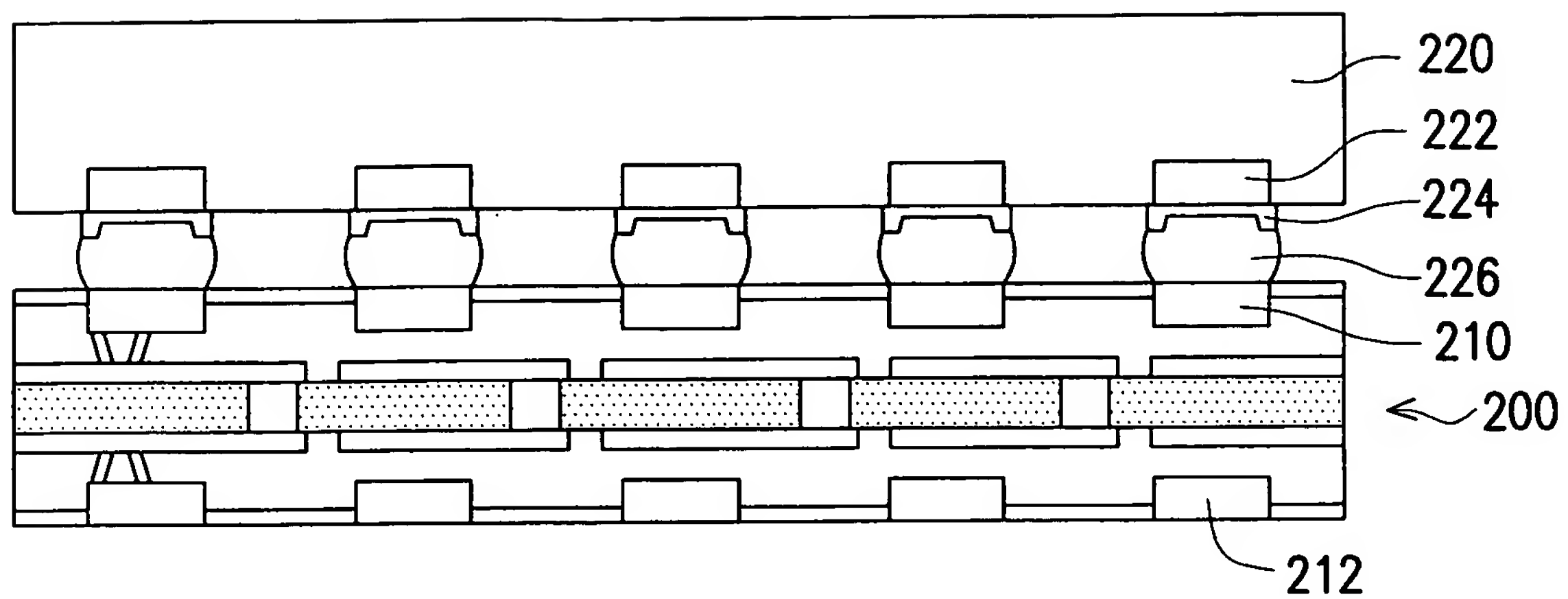
第 3 圖



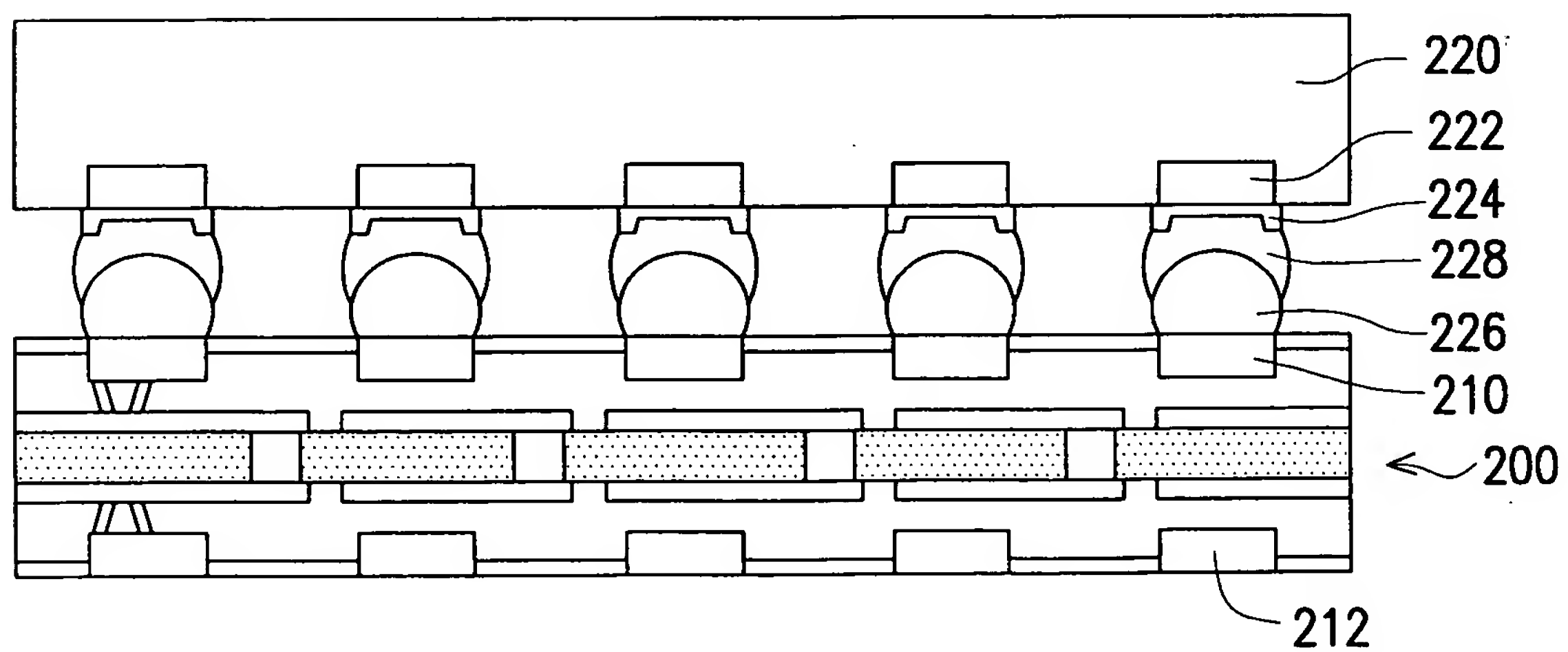
第 4 圖



第 5 圖

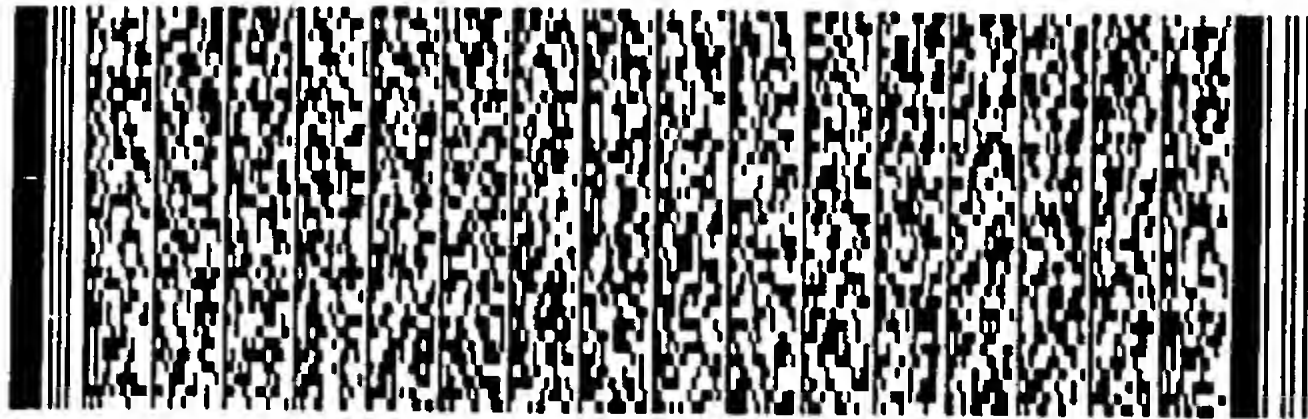


第 6 圖

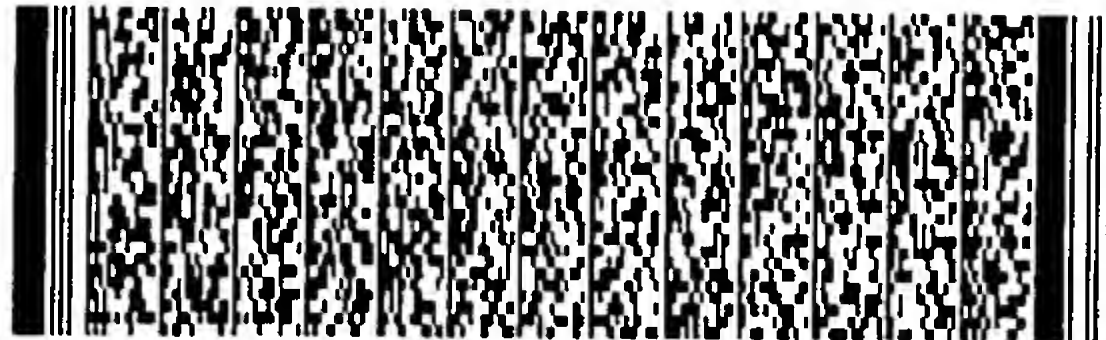


第 7 圖

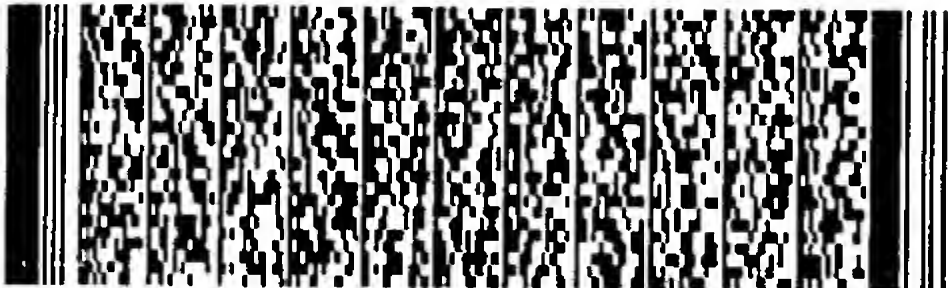
第 1/17 頁



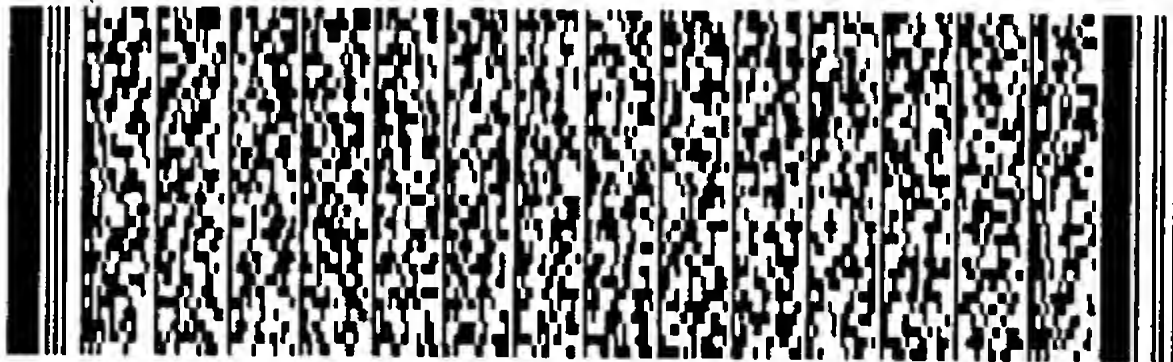
第 2/17 頁



第 3/17 頁



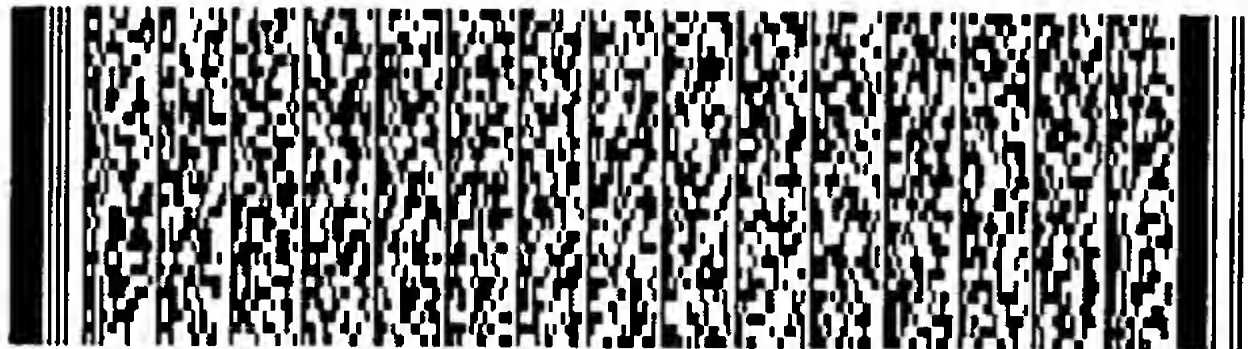
第 4/17 頁



第 4/17 頁



第 5/17 頁



第 6/17 頁



第 7/17 頁



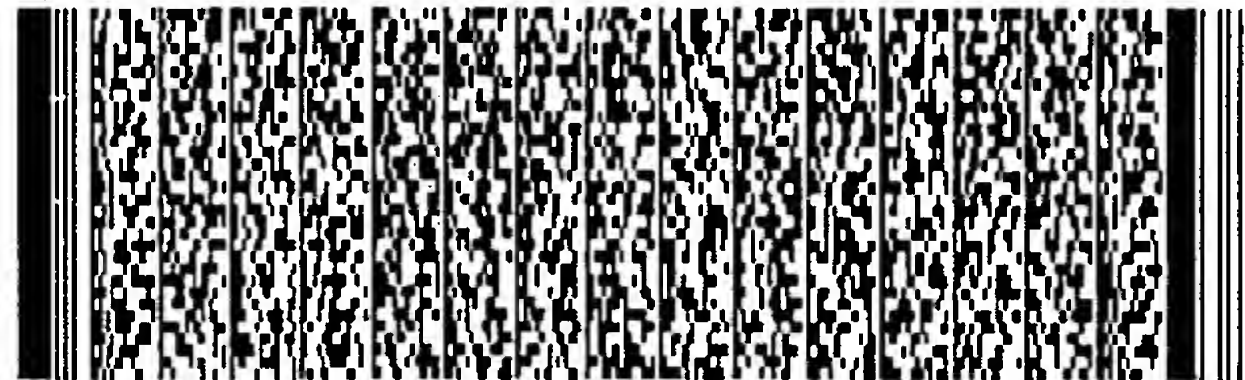
第 7/17 頁



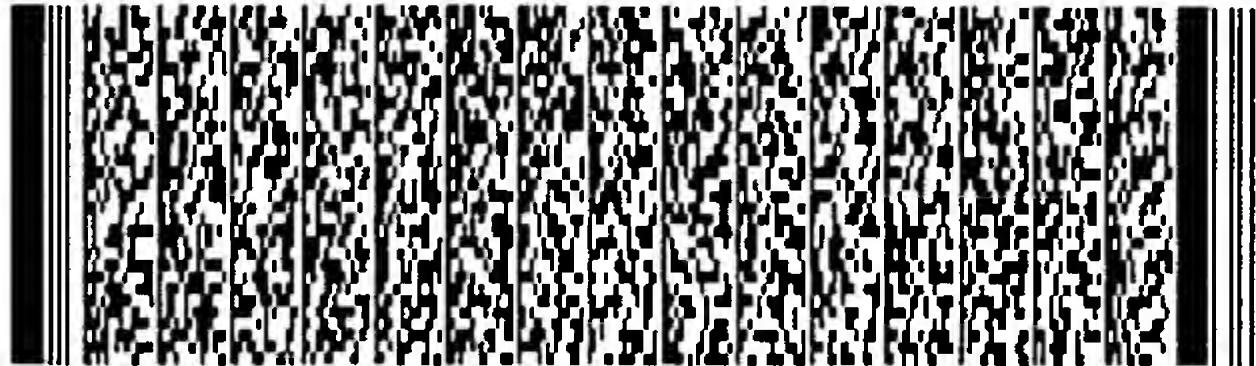
第 8/17 頁



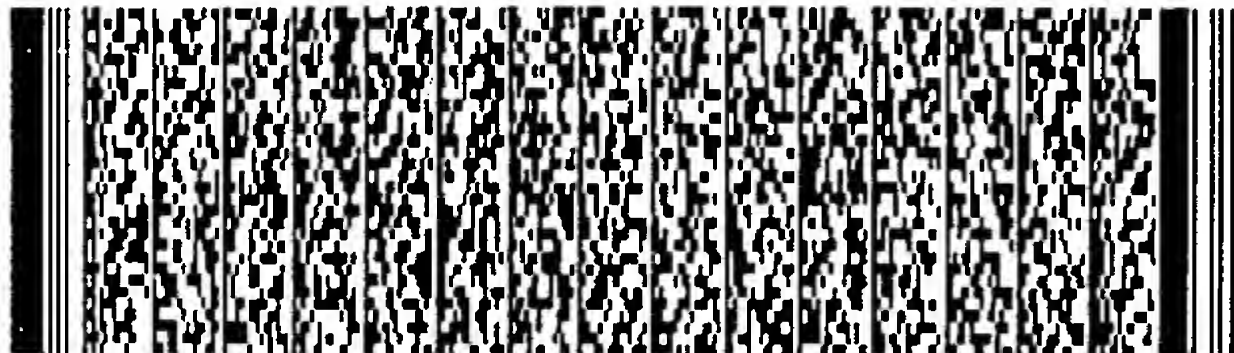
第 8/17 頁



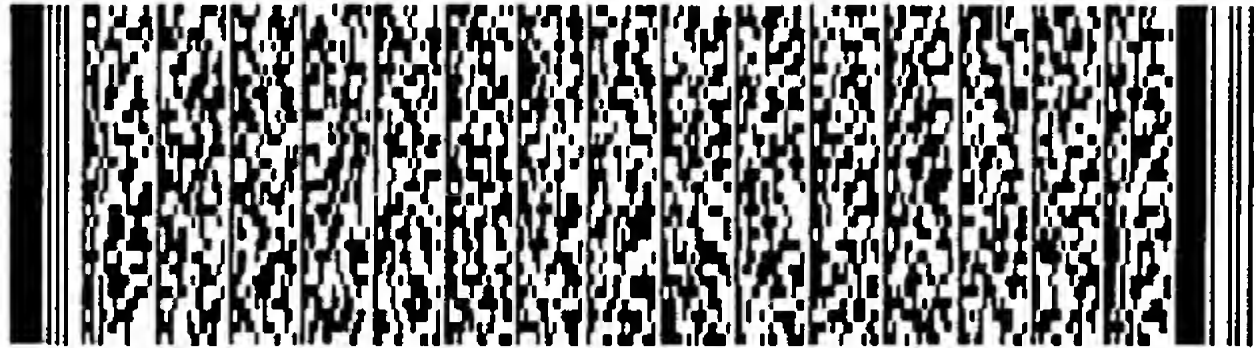
第 9/17 頁



第 9/17 頁



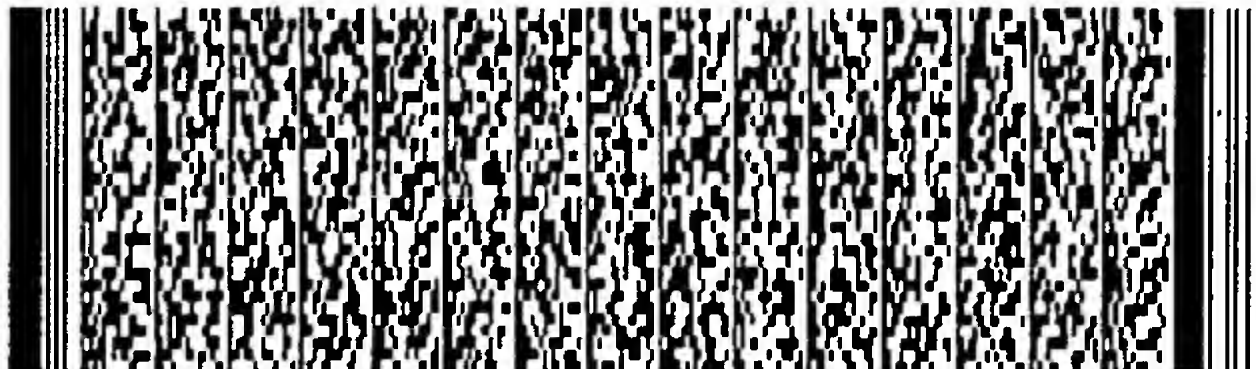
第 10/17 頁



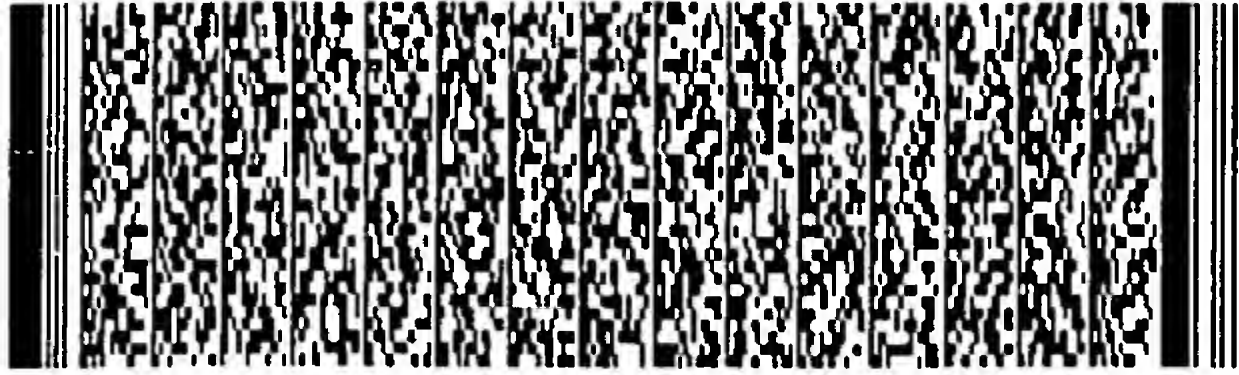
第 10/17 頁



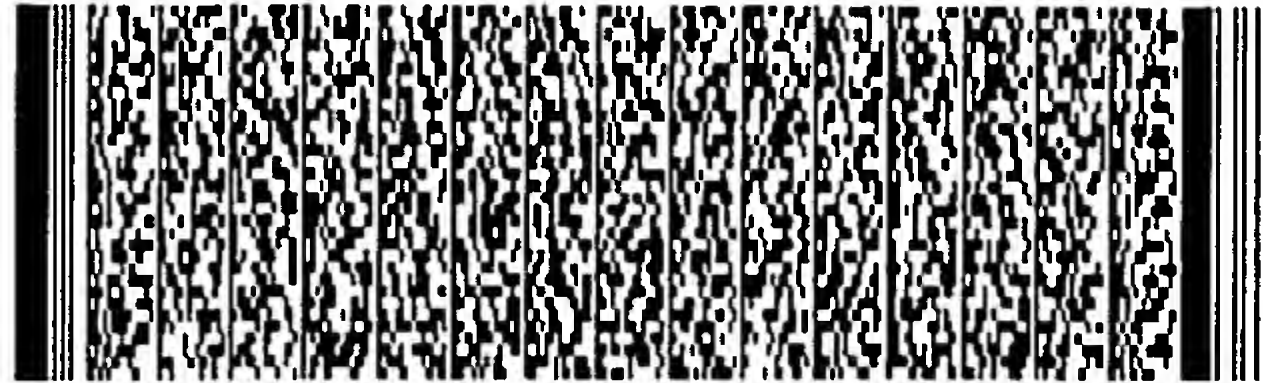
第 11/17 頁



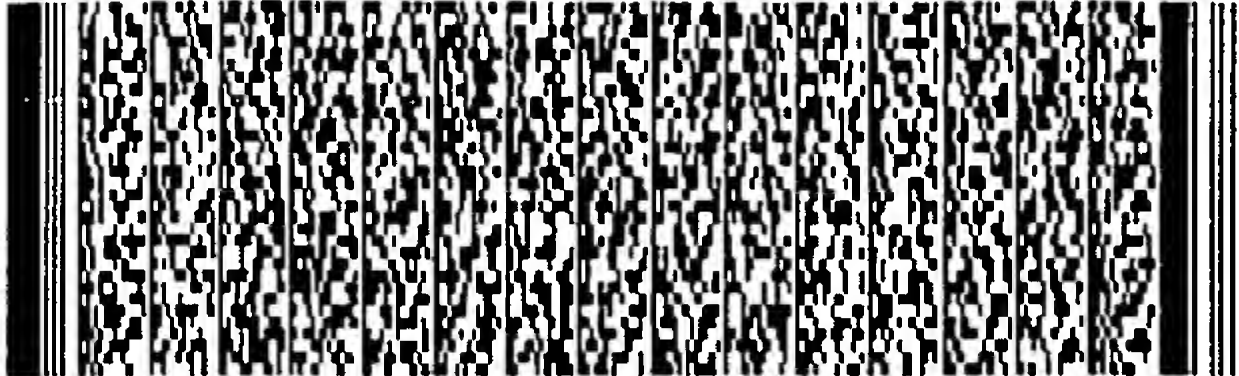
第 11/17 頁



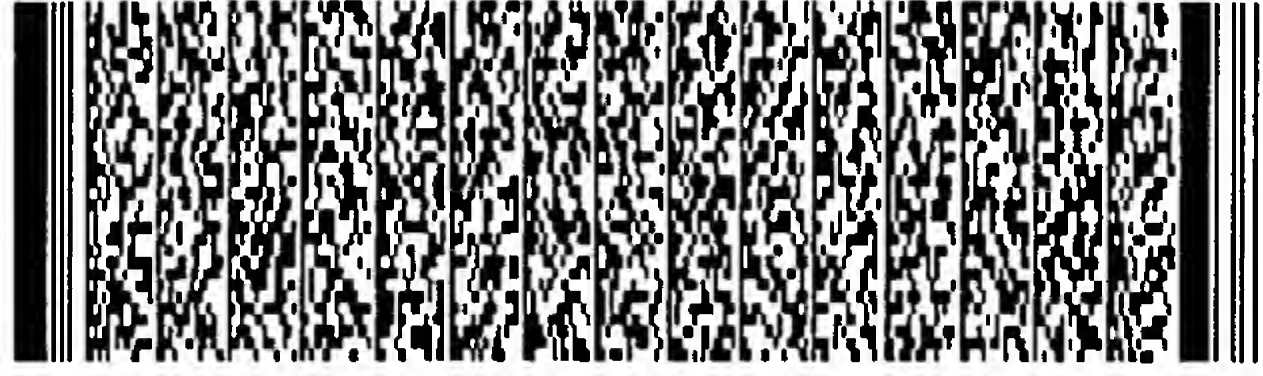
第 12/17 頁



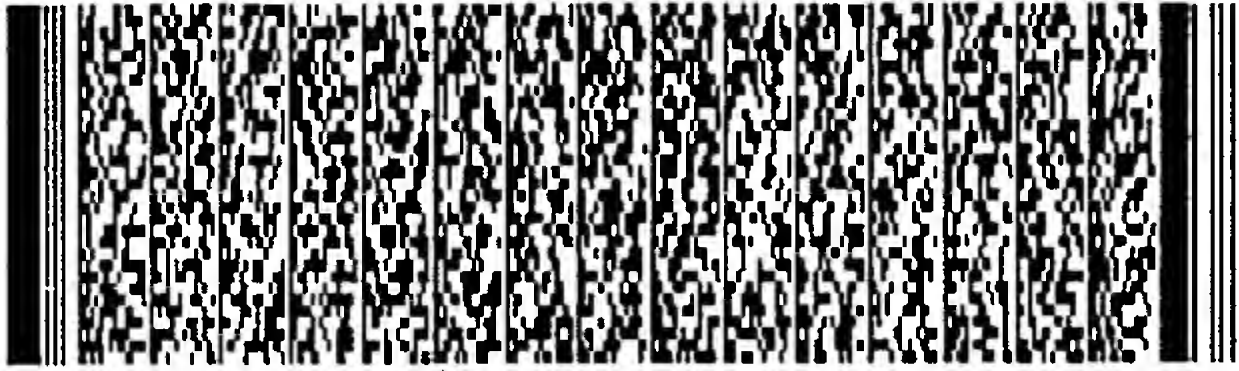
第 12/17 頁



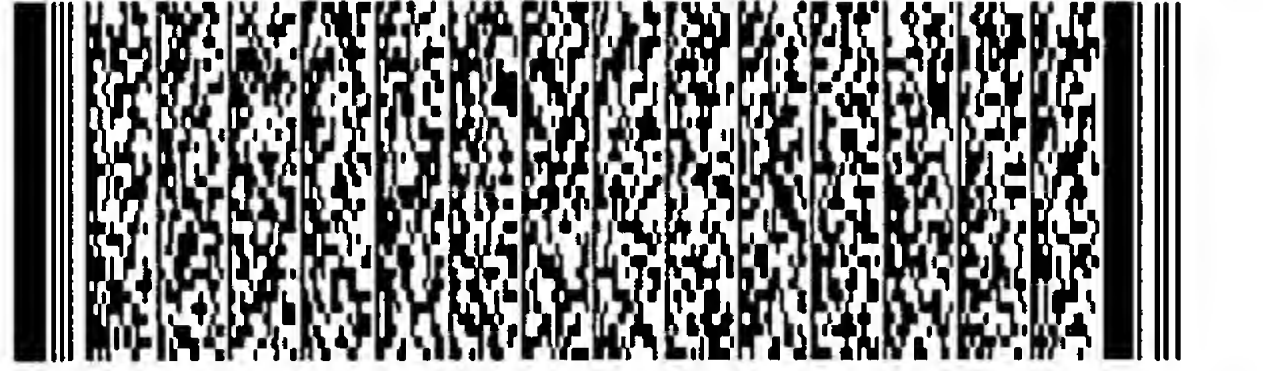
第 13/17 頁



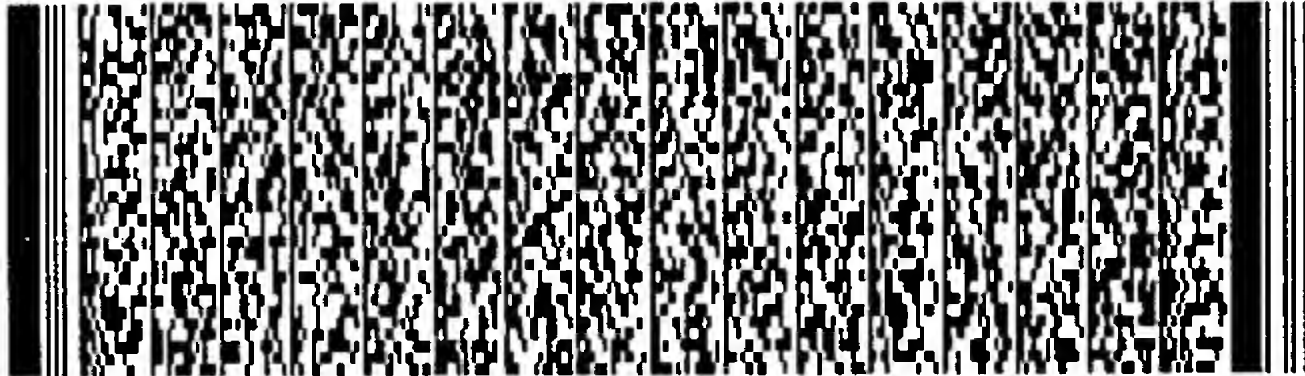
第 13/17 頁



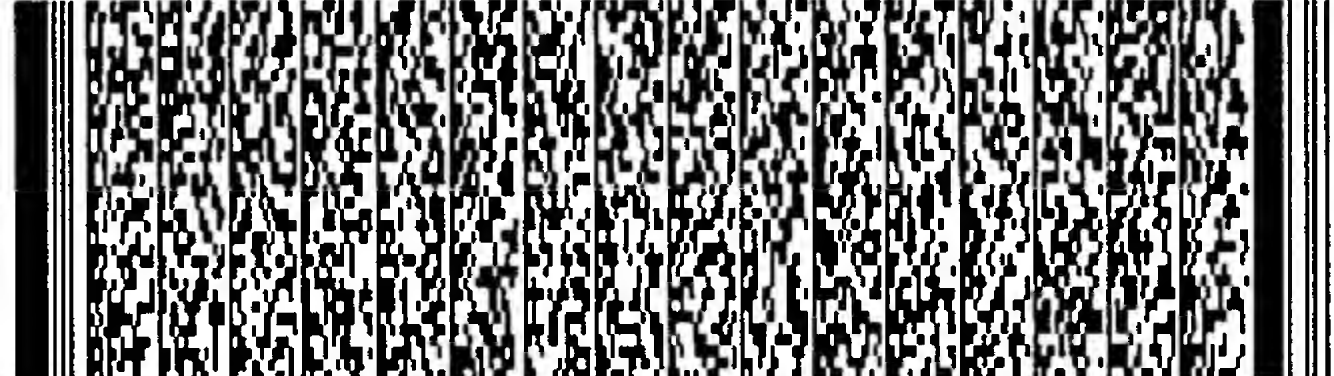
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

